

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

12258865

Basic Patent (No,Kind,Date): JP 7045837 A2 950214 <No. of Patents: 001>

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF (English)

Patent Assignee: AG TECHNOLOGY KK

Author (Inventor): TAKADA HITOSHI

IPC: *H01L-029/786; G02F-001/136

Derwent WPI Acc No: *C 95-120423; C 95-120423

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 7045837	A2	950214	JP 93208405	A	930730 (BASIC)

Priority Data (No,Kind,Date):

JP 93208405 A 930730

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04753237 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 07-045837 [JP 7045837 A]

PUBLISHED: February 14, 1995 (19950214)

INVENTOR(s): TAKADA HITOSHI

APPLICANT(s): A G TECHNOL KK [000000] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 05-208405 [JP 93208405]

FILED: July 30, 1993 (19930730)

INTL CLASS: [6] H01L-029/786; G02F-001/136

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS)

ABSTRACT

PURPOSE: To obtain a semiconductor device having high performance by obtaining TFTs having different characteristics to meet necessary performance specification ' each circuit.

CONSTITUTION: A method for manufacturing a semiconductor device comprises the steps of etching by dividing to two steps that a A gate length of a gate electrode 4 becomes shorter than a gate insulating film 3 in a TFT having a coplanar structure, forming two or more types of TFTs having different offset amounts, and forming together the TFT for a pixel of a low leakage current and the TFT for a driver of a high drain current on the same substrate.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-45837

(43)公開日 平成7年(1995)2月14日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9119-2K		
		9056-4M	H 0 1 L 29/ 78	3 1 1 A
		9056-4M		3 1 1 S

審査請求 未請求 請求項の数7 F D (全 5 頁)

(21)出願番号 特願平5-208405

(22)出願日 平成5年(1993)7月30日

(71)出願人 392002206

エイ・ジー・テクノロジー株式会社
神奈川県横浜市神奈川区羽沢町松原1160番地

(72)発明者 高田 仁

神奈川県横浜市神奈川区羽沢町1150番地
旭硝子株式会社中央研究所内

(74)代理人 弁理士 泉名 謙治

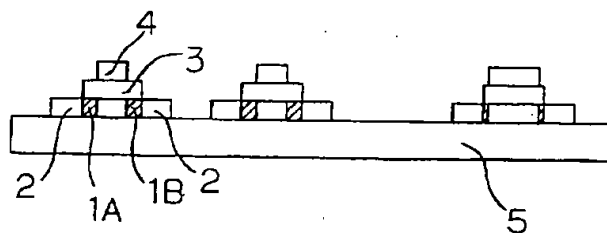
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】高性能の半導体装置を得る。

【構成】コブレナー構造のTFTであって、ゲート電極4のゲート長をゲート絶縁膜3より短くなるよう2段階に分けてエッチングし、異なるオフセット量を備える2種類以上のTFTを形成し、低リーク電流の画素用TFTと高ドレイン電流の駆動回路用TFTとを同一基板上に共に形成することを特徴とする半導体装置の製造方法。

【効果】回路毎に必要な性能仕様に合わせて、特性の異なるTFTが得られるので高性能の半導体装置が得られる。



(2)

特開平07-045837

【特許請求の範囲】

【請求項1】TFTが基板上に配置されてなる半導体装置であって、オフセット量が異なる複数のオフセットTFTが基板上に形成されてなることを特徴とする半導体装置。

【請求項2】請求項1の半導体装置において、ゼロオフセットTFTが基板上にさらに設けられたことを特徴とする半導体装置。

【請求項3】請求項1または2の半導体装置において、オフセットTFTの最大オフセット量が、およそ片側2.5 μ mであることを特徴とする半導体装置。

【請求項4】請求項1～3のいずれか1項の半導体装置において、オフセットTFTのオフセット量が、片側0～2.5 μ mの範囲で任意の値に形成されてなることを特徴とする半導体装置。

【請求項5】請求項1～4のいずれか1項の半導体装置において、画素表示のスイッチング用TFTと、このスイッチング用TFTを駆動するための駆動回路用TFTとが同一基板上に設けられ、スイッチング用TFTと駆動回路用TFTのオフセット量が異なる値に形成されたことを特徴とする半導体装置。

【請求項6】請求項1～5のいずれか1項の半導体装置において、TFTの一部または全部がポリシリコンよりなることを特徴とする半導体装置。

【請求項7】請求項1～6のいずれか1項の半導体装置を製造する製造方法であって、TFTとしてコプレーナ構造が用いられ、ゲート電極のゲート長をゲート絶縁膜より短くなるようエッチングすることでオフセットTFTの形成を行うことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜トランジスタ（以下、TFTと呼ぶ）を基板上に備える半導体装置に関し、新規であり有用な高性能TFTを備えた半導体装置を提供する。

【0002】

【従来の技術】近年、液晶表示素子を始めとする平面型ディスプレイが様々な分野で広範囲に使用されている。なかでもアクティブマトリックス型の表示素子は表示密度や視野角、コントラストなどの面で単純マトリックス型の表示素子に比して優位性がある。そのため各種の研究開発が行われており、特にスイッチング素子としてTFTが有望とされている。

【0003】また、最近では画素表示のスイッチングのみならず、周辺駆動回路を構成するトランジスタもTFTで形成することも行われている。

【0004】

【発明が解決しようとする課題】このように広く用いられているTFTは、単結晶MOSトランジスタに比べて

ゲートをオフにした際のリーク電流が大きいという特性がある。このリーク電流を低減させるためにTFTのゲート電極の下部のチャネル領域とドーピング領域の間にドーピングされないオフセット領域を設ける方法が従来より用いられている。

【0005】しかしオフセット領域を設けると、ゲートをオンにした際のドレイン電流も減少してしまうことになり、同一基板上において性能仕様が異なり、役割の異なるトランジスタが混在する場合には、低リーク電流という特性と一定以上のオン電流特性を得るという両方を同時に達成することが困難である。

【0006】同一基板上のTFTの両特性のいずれか、あるいは全てのトランジスタの特性を多少犠牲にするようなことで、課題となるオフセット量をどうにか調節するということが行われている。そのため、個々のトランジスタ全てにとっての最適なオフセット量を同時に得ることは達成されていない。

【0007】

【課題を解決するための手段】本発明は前述の課題を解決すべくなされたものであり、TFTが基板上に配置されてなる半導体装置であって、オフセット量が異なる複数のオフセットTFTが基板上に形成されてなることを特徴とする半導体装置（1）を提供する。

【0008】また、半導体装置（1）において、ゼロオフセットTFTが基板上にさらに設けられたことを特徴とする半導体装置（2）を提供する。

【0009】また、半導体装置（1）または（2）において、オフセットTFTの最大オフセット量が、およそ片側2.5 μ mであることを特徴とする半導体装置（3）を提供する。

【0010】また、半導体装置（1）～（3）のいずれか1において、オフセットTFTのオフセット量が、片側0～2.5 μ mの範囲で任意の値に形成されてなることを特徴とする半導体装置（4）を提供する。

【0011】また、半導体装置（1）～（4）のいずれか1において、画素表示のスイッチング用TFTと、このスイッチング用TFTを駆動するための駆動回路用TFTとが同一基板上に設けられ、スイッチング用TFTと駆動回路用TFTのオフセット量が異なる値に形成されたことを特徴とする半導体装置（5）を提供する。

【0012】また、半導体装置（1）～（5）のいずれか1において、TFTの一部または全部がポリシリコンよりなることを特徴とする半導体装置（6）を提供する。

【0013】また、半導体装置（1）～（6）のいずれか1を製造する製造方法であって、TFTとしてコプレーナ構造が用いられ、ゲート電極のゲート長をゲート絶縁膜より短くなるようエッチングすることでオフセットTFTの形成を行うことを特徴とする半導体装置の製造方法を提供する。

(3)

特開平07-045837

【0014】以下、図を参照して本発明について概説する。図1は、本発明の半導体装置の一例における断面図であり同一基板上に異なるオフセット量をもつTFTを形成した様子を示す。TFTは基本的に、オフセット領域1A、1B、ドーピング領域1B、ゲート絶縁膜3、ゲート電極4を備え、そして基板5がある。

【0015】図2は、オフセット量を変化させた場合のTFTのドレイン電流-ゲート電圧特性の変化の様子を示した特性図である。用いたドレイン電圧は14Vである。横軸がゲート電圧であり、縦軸がドレイン電流である。

【0016】ゲート電圧値が負の範囲はTFTが本来オフ状態にあるべきところであり、このときのドレイン電流はすなわちリーク電流である。用いたTFTの W_G/L_G 比は $4/25$ ($\mu\text{m}/\mu\text{m}$) である。本図中、実線で示す特性曲線Aは片側オフセット量が $0.5\mu\text{m}$ のTFTのものであり、特性曲線Bのそれは $1.5\mu\text{m}$ であり、特性曲線Cのそれは $2.0\mu\text{m}$ である。以下、オフセット量はソースとドレインにそれぞれ設けられたオフセットの片側の値で示す。

【0017】特性曲線Aは、オン電流が高いが、リーク電流も高い値を示している。これに対して特性曲線Cは逆の傾向を示している。そして、特性曲線Bは前二者の中間の傾向を示している。このことから、リーク電流の低減とオン電流であるドレイン電流の増大はトレードオフの関係にあることがわかる。

【0018】図3～図6は、TFTの異なるオフセット構造を示す断面図である。同一基板上に配置されるTFTの特性が、それぞれの役割に応じて望ましい特性を示すようにオフセット量を作り分ける。ここで、ゼロオフセットTFTとは通常のセルフアライン構造のトランジスタであってもよい。

【0019】

【実施例】（実施例）図3～図6を参照しながら説明する。コブレナー構造のセルフアライン型TFTを用い、TN液晶の画素表示用スイッチング素子および周辺駆動回路を同一基板上に以下のごとく形成した。まず、酸化シリコンの下地膜6を付けた無アルカリガラスからなる基板5の上にCVDによりアモルファスシリコンを形成し、アルゴンイオンレーザーによってポリシリコン膜1とした。

【0020】その上に酸化シリコンのゲート絶縁膜3およびクロムのゲート電極4を堆積した。ポジ型のレジストを塗布、フォトリソグラフィでパターンニングした第1のレジスト10を用いてゲート電極4とゲート絶縁膜3をそれぞれウェットエッチングとドライエッチングで形成した（図4に示す）。

【0021】これをクロムのエッチング液の中に短時間浸潤しゲート電極4のサイドを $0.5\mu\text{m}$ エッチングし、ゲート電極4の端が短くせしめられた小さなオフセ

ット領域を基板全面に形成した（図5に示す）。

【0022】その後再びポジ型レジストをぬりフォトリソグラフィで周辺駆動回路の部分が後から付けた第2のレジスト12で覆われるようにパターンニングし、再びクロムのエッチング液の中に浸潤し表示画素の部分のゲート電極4をさらに $0.5\mu\text{m}$ エッチングし、前述したエッチングと合わせて、合計 $1\mu\text{m}$ のオフセット領域を形成した（図6に示す）。

【0023】その後すべてのレジストを剥離し、このゲート構造部をマスクにしてイオン照射を行なった。さらに、層間絶縁膜9とソース電極7とドレイン電極8を形成してTFTとした。図3に、その断面図を示す。本発明の製造方法においては、このように、前後に別れた複数のエッチング工程を備えている。

【0024】本実施例において用いたレジストは東京応化社製のOFPR800であり、後から付けたレジストのフォトリソグラフィ工程が、先のレジストに悪影響を及ぼすことはなかった。また、ネガ型レジストを組合わせて用いても原理的に可能であることはいうまでもない。同様の方法を繰り返せば、さらに多種類のオフセット量を持つTFTを同一基板上に形成することが可能である。

【0025】また、TFTの特性に応じて、最初の全面のオフセット領域の形成を行わないで形成したオフセット領域を備えないゼロオフセットTFTと、オフセット領域を備えたTFTとを共存させた半導体装置が本発明に含まれる。このためには、ゲート電極のエッチングを防止することで、ゼロオフセットTFTを形成することができる。

【0026】以上に述べた方法で、リーク電流の低減が必要な表示画素部のTFTと、オン電流であるドレイン電流が重視される駆動回路部のTFTのオフセット量をそれぞれ最適な値に制御することができた。オフセット量としては、片側 $2.5\mu\text{m}$ 程度まで、 $\pm 0.2\mu\text{m}$ 程度の誤差で制御可能である。TFTとして動作させるためには、オフセット量として、例えば片側 $2.5\mu\text{m}$ 以内が好ましい。ただし、これはもちろんゲート幅に依存する。

【0027】

【発明の効果】従来の基板内のTFTを全部一様なオフセット領域を形成する方法では、すべてのトランジスタが最適な特性を示すように制御できない場合があった。

【0028】本発明によれば、各TFTに求められる特性を示す最適なオフセット量を同一基板上で作り分けることにより、各TFT特性の向上に起因する半導体装置全体的大幅な特性向上と、その設計の自由度の著しい向上が可能となる。

【0029】特に、電圧保持が必要であって、リーク電流の低減がきわめて求められる表示画素部のTFTと、高速駆動の性能が求められ高いオン電流が求められる駆

(4)

特開平07-045837

動回路部のTFTのオフセット量をそれぞれ最適な値に制御することができる。

【0030】本発明は、上述した実施例に限らず性能仕様の異なる他の回路群にも応用することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の一例における断面図。

【図2】TFTの特性図。

【図3】オフセットTFTの一例における断面図。

【図4】ゼロオフセットTFTを形成する場合の一工程における断面図。

【図5】オフセット量の相対的に異なる2種類のオフセットTFTを形成する共通エッチング工程における断面図。

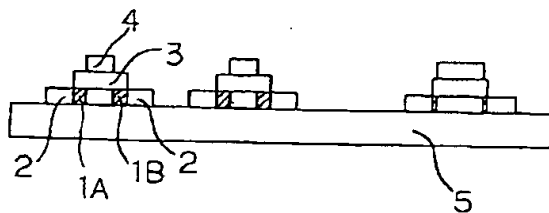
【図6】オフセット量の相対的に異なる2種類のオフセットTFTを形成する第2次エッチング工程における断

面図。

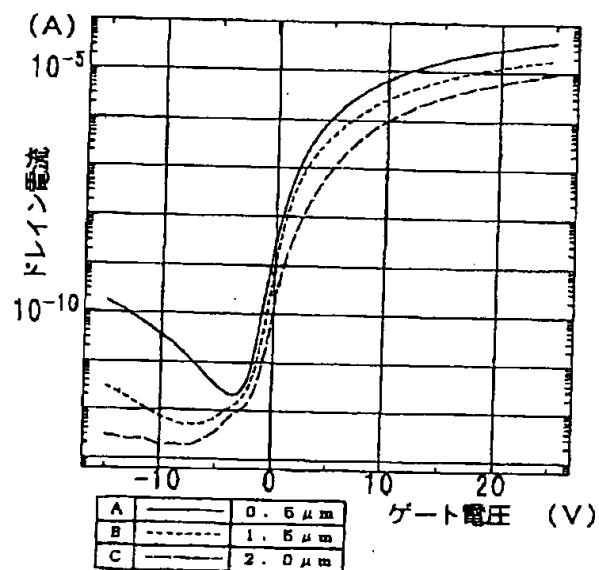
【符号の説明】

- 1：オフセット領域
- 2：ドーピング領域
- 3：ゲート絶縁膜
- 4：ゲート電極
- 5：基板
- 6：下地膜
- 7：ソース電極
- 8：ドレイン電極
- 9：層間絶縁膜
- 10：第1のレジスト
- 11：ポリシリコン膜
- 12：第2のレジスト

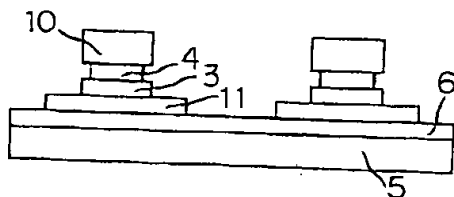
【図1】



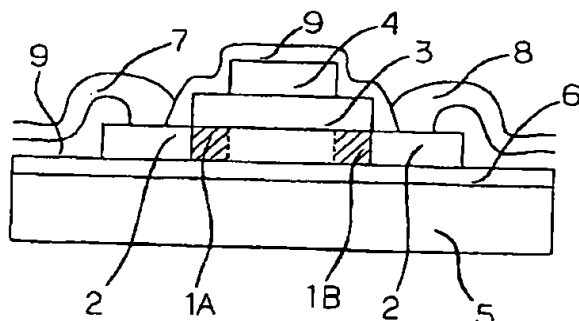
【図2】



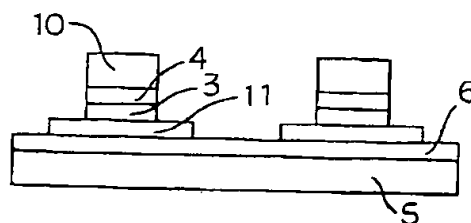
【図5】



【図3】



【図4】



(5)

特開平07-045837

【図6】

